

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 4 日
Date of Application:

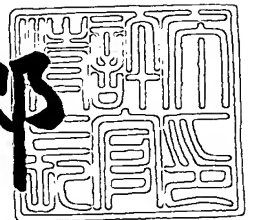
出 願 番 号 特 願 2 0 0 2 - 2 7 7 6 2 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 7 7 6 2 8]

出 願 人 株式会社豊田中央研究所
Applicant(s):

2 0 0 3 年 7 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 2 9 9

【書類名】 特許願

【整理番号】 TCP-00179

【提出日】 平成14年 9月24日

【あて先】 特許庁長官殿

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 橋本 昭二

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 塚田 厚志

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 水野 健太郎

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 坂田 二郎

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 大村 義輝

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 増岡 優美

【特許出願人】**【識別番号】** 000003609**【氏名又は名称】** 株式会社豊田中央研究所**【代理人】****【識別番号】** 100079049**【弁理士】****【氏名又は名称】** 中島 淳**【電話番号】** 03-3357-5171**【選任した代理人】****【識別番号】** 100084995**【弁理士】****【氏名又は名称】** 加藤 和詳**【電話番号】** 03-3357-5171**【手数料の表示】****【予納台帳番号】** 006839**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9102478**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 力検知素子

【特許請求の範囲】

【請求項 1】 (100)面を主面とする n 型半導体基板、(110)面を主面とする p 型半導体基板、または (111)面を主面とする p 型半導体基板で形成されると共に、力が作用したときに前記半導体基板の厚み方向に押圧されるゲージ部と、

前記半導体基板の厚み方向に対応する方向の電流経路が前記ゲージ部に形成されるように、前記ゲージ部と電氣的に接続された複数の電極と、

を含む力検知素子。

【請求項 2】 前記電流経路が前記ゲージ部の一部分に形成されるように制限した請求項 1 記載の力検知素子。

【請求項 3】 半導体基板と、

前記半導体基板の一方の主面に形成されると共に、力が作用したときに押圧されるゲージ部と、

前記半導体基板の厚み方向に対応する方向の電流経路が前記ゲージ部に形成されるように、前記ゲージ部と電氣的に接続された複数の電極と、

を含み、前記ゲージ部において前記電流経路の方向に力が作用するようにした力検知素子。

【請求項 4】 半導体基板と、

前記半導体基板の一方の主面に形成されると共に、力が作用したときに押圧されるゲージ部と、

前記半導体基板の厚み方向に対応する方向の電流経路が前記ゲージ部に形成されるように、前記ゲージ部と電氣的に接続された複数の電極と、

力が作用したときに前記ゲージ部を前記電流経路の方向に押圧する力伝達ブロックと、

を含む力検知素子。

【請求項 5】 前記複数の電極は、前記ゲージ部に電氣的に接続された第 1 の電極と、前記半導体基板の他方の主面に、前記第 1 の電極と対向するように形成

された第2の電極と、を含む請求項3または請求項4記載の力検知素子。

【請求項6】第1の半導体基板と、

前記第1の半導体基板の一方の主面に形成されると共に、力が作用したときに押圧されるゲージ部と、

一方の主面側が前記第1の半導体基板の前記ゲージ部に接合された第2の半導体基板と、

前記第1の半導体基板に形成された第1の電極、及び前記第2の半導体基板に形成された第2の電極とを備え、前記ゲージ部に力が作用する方向と同じ方向の電流経路を形成する複数の電極と、

を含む力検知素子。

【請求項7】前記第1の電極を、前記第1の半導体基板の他方の主面または側面に形成すると共に、前記第2の電極を、前記第2の半導体基板の他方の主面または側面に形成した請求項6記載の力検知素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、力検知素子に係り、特に、エンジンのシリンダ内燃焼圧力等を検知するために使用される力検知素子に関する。

【0002】

【従来の技術】

従来より、エンジンのシリンダ内燃焼圧力等を検知するために使用される力検知素子として、ピエゾ抵抗素子を利用した小型の力検知素子が知られている。ピエゾ抵抗素子は、歪み（応力変形）に応じて歪みが生じた部分の抵抗率が変化する素子である。このピエゾ抵抗素子は、一般に、半導体製造技術により単結晶Si基板の主面上に形成されたゲージ抵抗によって構成されている。

【0003】

ピエゾ抵抗素子を用いた歪みゲージとしては、応力作用面に対向する面または側面に電極を取り付けると共に、伸縮する被測定物にゲージの応力作用面を貼り付け、被測定物の伸縮に応じて変化する電流の変化から応力を検出する歪みゲ-

ジが知られている。この歪みゲージでは、応力が作用する方向と電流が流れる方向とが同一であるため、ピエゾ抵抗係数 π_{11} を利用している。

【0004】

また、力検知素子としては、(110)面を主面とするSi基板上に、ピエゾ抵抗効果を持つ4つのゲージ抵抗を<100>方向及び<110>方向に形成してホイートストンブリッジを構成し、このホイートストンブリッジの上に力伝達ブロックを配置した力検知素子が知られている(例えば、特許文献1参照)。この力検知素子では、力伝達ブロックに力が作用すると、力伝達ブロックからSi基板の厚み方向に応力が伝達されるので、この応力の方向に対して垂直方向に電流が流れるように電圧を印加する。そして、応力に応じて発生するゲージ抵抗のピエゾ抵抗効果が<100>方向と<110>方向とで異なることから、抵抗値に差が生じ、この抵抗値の差を電圧差として検知することで力伝達ブロックに作用した力を検知している。

【0005】

この力検知素子では、電圧検知方向と電流経路方向とが同じで、かつ電流経路に対して垂直方向に力(一軸応力)が作用するので、ピエゾ抵抗係数 π_{13} を利用することになる。

【0006】

また、この力検知素子を燃焼圧センサとして使用する場合には、力検知素子はセンサハウジングの中央に配置されてパッケージングされ、力検知素子の各電極と、この各電極と同一平面上に形成された取り出し端子とが、ワイヤボンディングによって接続される。そして、力検知素子上部に、力検知素子の力伝達ブロックに接触するように力伝達ロッド及びダイヤフラムが設けられ、ダイヤフラムに作用した力が力伝達ロッドを介して力検知素子に伝達されることで、上記のようにして燃焼圧力を電位差で検知するように構成されている。

【0007】

【特許文献1】

特開平8-271363号公報

【0008】

【発明が解決しようとする課題】

しかしながら、上記従来の歪みゲージでは、ゲージを被測定物に接着剤等により貼り付ける必要があるため、接着剤の厚みむら、ばらつき等の影響によって高精度な測定結果を得ることができない、という問題がある。また、400℃を越えるような高温下で測定する場合には、接着剤が十分に機能せず、測定不能になる。

【0009】

また、従来の力検知素子では、同一平面状に電極を形成していることから、ワイヤボンディングによるゲージ電圧出力用の配線が必要となるため、製造工程の工数が多くなり、低コストで力検知素子を製造することが困難になる、という問題がある。

【0010】

本発明は、上記問題を解決すべく成されたもので、高精度に力を測定することができる力検出素子を提供することを第1の目的とする。

【0011】

また、ワイヤボンディングによるゲージ電圧出力用の配線を不用とすることにより、製造工程の工数を低減し、低コストで製造することができるようにした力検知素子を提供することを第2の目的とする。

【0012】**【課題を解決するための手段】**

上記第1の目的を達成するために、第1の発明の力検知素子は、(100)面を主面とするn型半導体基板、(110)面を主面とするp型半導体基板、または(111)面を主面とするp型半導体基板で形成されると共に、力が作用したときに前記半導体基板の厚み方向に押圧されるゲージ部と、前記半導体基板の厚み方向に対応する方向の電流経路が前記ゲージ部に形成されるように、前記ゲージ部と電氣的に接続された複数の電極と、を含んで構成したものである。

【0013】

piezo抵抗係数 π_{11} は、(100)面を主面とするn型シリコン単結晶の場合には、 $\langle 100 \rangle$ 方向に、(110)面を主面とするp型シリコン単結晶の場合

には、 $\langle 110 \rangle$ 方向に、 (111) 面を主面とする p 型シリコン単結晶の場合には、 $\langle 111 \rangle$ 方向に、各々最大の感度を持っているので、第 1 の発明では、これらの半導体基板で、力が作用したときにこの半導体基板の厚み方向に押圧されるゲージ部を形成する。

【0014】

また、ピエゾ抵抗係数 π_{11} を利用して力を検出するために、半導体基板の厚み方向に対応する方向の電流経路がゲージ部に形成されるように、複数の電極がゲージ部に電氣的に接続されている。

【0015】

第 1 の発明によれば、力が作用したときにゲージ部が厚み方向に押圧されるので、歪みゲージのように被測定物に貼り付けなくても力を検出することができる。

【0016】

第 1 の発明では、電流経路がゲージ部の一部分に形成されるように制限するのが好ましい。このように、電流経路（主として電流が流れる領域）を制限することにより、制限しない場合よりもゲージ抵抗を高抵抗にでき、扱い易い抵抗値を得ることができる。

【0017】

第 1 の発明の複数の電極は、半導体基板の一方の主面に形成された第 1 の電極と、半導体基板の他方の主面に第 1 の電極と対向するように形成された第 2 の電極とで構成することができる。この場合、第 1 の電極及び第 2 の電極の少なくとも一方をコンタクトホールが穿設された絶縁膜を介して主面に形成し、絶縁膜を介して主面に形成した電極をコンタクトホールを介してゲージ部と電氣的に接続するようにしてもよい。このコンタクトホールを穿設する位置は、電極の中心に対応する部位が好ましい。

【0018】

上記第 2 の目的を達成するために第 2 の発明は、半導体基板と、前記半導体基板の一方の主面に形成されると共に、力が作用したときに押圧されるゲージ部と、前記半導体基板の厚み方向に対応する方向の電流経路が前記ゲージ部に形成さ

れるように、前記ゲージ部と電氣的に接続された複数の電極と、を含んで構成し、前記ゲージ部において前記電流経路の方向に力が作用するようにしたものである。

【0019】

第2の発明では、半導体基板の厚み方向に対応する方向の電流経路がゲージ部に形成されるように、複数の電極を形成している。また、力が作用したときにゲージ部が電流経路の方向に押圧される。

【0020】

このように第2の発明では、電流経路の方向と電圧の検知方向とが同一で、かつ電流経路の方向に力（一軸応力）が作用するので、ピエゾ抵抗係数 π_{11} を利用することになる。

【0021】

第2の発明の力検出素子は、ゲージ部を押圧する力伝達ブロックを用いて陽極接合することなく構成することができる（接合レス型力検出素子）。この接合レス型力検出素子は、半導体基板と、前記半導体基板の一方の主面に形成されると共に、力が作用したときに押圧されるゲージ部と、前記半導体基板の厚み方向に対応する方向の電流経路が前記ゲージ部に形成されるように、前記ゲージ部と電氣的に接続された複数の電極と、力が作用したときに前記ゲージ部を前記電流経路の方向に押圧する力伝達ブロックと、を含んで構成することができる。

【0022】

この接合レス型力検出素子では、力伝達ブロックがゲージ部を電流経路の方向に押圧するので、上記で説明したのと同様にピエゾ抵抗係数 π_{11} を利用することになる。また、接合レス型力検出素子では、陽極接合等の接合技術を必要としないので、低コストで製造することができる。

【0023】

また、前記複数の電極は、前記ゲージ部に形成された第1の電極と、前記半導体基板の他方の主面に、前記第1の電極と対向して形成された第2の電極と、を含んで構成することができる。

【0024】

また、第2の発明の力検出素子は、力伝達ブロックを用いることなく、2つの半導体基板をダイレクトボンディング法等によって接合して構成することもできる（接合型力検出素子）。この接合型力検出素子は、第1の半導体基板と、前記第1の半導体基板の一方の主面に形成されると共に、力が作用したときに押圧されるゲージ部と、一方の主面側が前記第1の半導体基板の前記ゲージ部に接合された第2の半導体基板と、前記第1の半導体基板に形成された第1の電極、及び前記第2の半導体基板に形成された第2の電極とを備え、前記ゲージ部に力が作用する方向と同じ方向の電流経路を形成する複数の電極と、を含んで構成することができる。

【0025】

この接合型力検出素子では、一方の主面に第1のゲージ部が形成され、かつ他方の主面に第1の電極が形成された第1の半導体基板と、一方の主面の前記第1のゲージ部に対応する位置に第2のゲージ部が形成され、かつ他方の主面に第2の電極が形成された第2の半導体基板とを用い、前記第1のゲージ部と前記第2のゲージ部とを接合することで構成することができる。また、一方の主面に第1のゲージ部が形成され、かつ他方の主面に第1の電極が形成された第1の半導体基板と、一方の主面に第2の電極が形成され、かつ他方の主面に該第2の電極に電氣的に接続された引出し線が形成された第2の半導体基板とを用い、第1の電極のゲージ部と第2の電極の一方の主面側とを接合し、ゲージ部と引出し線とを接合することで構成することもできる。

【0026】

この接合型力検出素子においても、ゲージ部に力が作用すると、電流経路の方向と電圧の検知方向とが同一で、かつ電流経路の方向に力が作用するので、上記で説明したのと同様にピエゾ抵抗係数 π_{11} を利用することになる。接合型力検出素子では、ゲージ部が強固に接合されているので、ゲージ部での滑りが発生せず、結果としてヒステリシスが発生しなくなる。

【0027】

なお、接合型力検出素子においては、前記第1の電極を、前記第1の半導体基板の他方の主面または側面に形成すると共に、前記第2の電極を、前記第2の半

導体基板の他方の主面または側面に形成することができる。

【0028】

本発明では、複数の電極を用いているため、電極の各々に端子を接続すればよく、従来必要であったワイヤボンディングによるゲージ電圧出力用の配線が不用になるので、製造工程の工数を低減し、低コストで製造することができる。

【0029】

上記で説明したように、piezo抵抗係数 π_{11} は、(110)面を主面とするp型シリコン単結晶の場合には、 $\langle 110 \rangle$ 方向に、(111)面を主面とするp型シリコン単結晶の場合には、 $\langle 111 \rangle$ 方向に、各々最大の感度を持っている。また、(100)面を主面とするn型シリコン単結晶の場合には、 $\langle 100 \rangle$ 方向に最大の感度を持っている。

【0030】

従って、第2の発明の半導体基板は、第1の発明と同様に、(110)面を主面とし、かつ $\langle 110 \rangle$ 方向を前記電流経路の方向とするp型シリコン単結晶基板、(111)面を主面とし、かつ $\langle 111 \rangle$ 方向を前記電流経路の方向とするp型シリコン単結晶基板、または、(100)面を主面とし、かつ $\langle 100 \rangle$ 方向を前記電流経路の方向とするn型シリコン単結晶基板を用いることができる。

【0031】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態の力検知素子を燃焼圧センサに適用した場合について詳細に説明する。

【0032】

図1に示すように、筒状のハウジング10の一端には、抵抗溶接によって、金属製のダイヤフラム12が固定されている。ハウジング10の内部には、筒状端子14の一部が挿入され、抵抗溶接によってハウジング10の内壁に固定されている。

【0033】

筒状端子14の内部には、ハーメチック端子16が挿入され、ハウジング10内部が気密に封止されている。ハーメチック端子16は、筒状端子14の内部に

気密に封止された絶縁体 16 A と、この絶縁体 16 A を貫通して外部に一端が突出され、かつ他端に径が太い素子固定部 16 C が形成された棒状端子 16 B とによって構成されている。棒状端子 16 B の素子固定部 16 C は、気密封止された室の内部に配置されている。

【0034】

棒状端子 16 B の素子固定部 16 C には、力検知素子 24 の検知素子部 20 が下側に位置する電極側で固定されている。力検知素子 24 は、図 2 (1) にも示すように、検知素子部 20 と、検知素子部 20 の上面に載置された半球状の力伝達体 22 とによって構成されている。

【0035】

力伝達体 22 は、高電気導電性材料で構成するのが好ましく、また電気導電性を有しない材料や、低電気導電性材料で構成した場合には、力伝達体 22 の表面に、Ni 無電解メッキ等の電気導電性処理を施し、電気導電性が良好になるように構成すればよい。筒状端子 14 の気密封止された室の内部に位置する端部には、筒状端子 14 の端部と力伝達体 22 の頂部とを電氣的に接続する板状の接続端子 26 が設けられている。接続端子 26 の上面には、ガイド筒 28 が固定されており、このガイド筒 28 にはダイヤフラム 12 の裏面と接触し、かつガイド筒の軸方向に移動可能にロッド 30 が挿入されている。

【0036】

次に、力検知素子の検知素子部の詳細について説明する。この力検知素子としては、接合レス型力検知素子または接合型力検知素子を適用することができる。

【0037】

最初に、接合レス型力検知素子について説明する。図 3 ～ 図 4 は、接合レス型力検知素子の検知素子部を示すものである。

【0038】

検知素子部を構成する半導体基板としては、(110)面を主面とする p 型シリコン単結晶基板、または (100)面を主面とする n 型シリコン単結晶基板を用いることができる。これらの基板は、主面に形成される電極とオーミック接触が得られるように、例えば、 $0.01\Omega\cdot\text{cm}$ レベルの濃度を有する基板が使用

される。

【 0 0 3 9 】

このシリコン単結晶基板の一方の主面には、円柱状のゲージ部 3 2 及びゲージ部 3 2 を中心としてゲージ部 3 2 の周辺に設けられたリング状力伝達体支持部 3 4 が形成され、他方の主面には第 2 の電極 4 0 が形成されている。ゲージ部 3 2 には、シリコン単結晶基板の厚み方向に電流が流れるように、第 2 の電極 4 0 と対向させて第 1 の電極 3 8 が形成されて、ゲージ部 3 2 と電氣的に接続されている。本実施の形態の第 1 の電極及び第 2 の電極は、一対の対向電極を構成している。なお、電流経路に電流を流す方向は、第 1 の電極から第 2 の電極の方向でもよく、逆に、第 2 の電極から第 1 の電極の方向でもよい。

【 0 0 4 0 】

この検知素子部は、以下のようにして製造される。まず、シリコン単結晶基板上に、エピタキシャル成長により、例えば抵抗値 $0.1 \sim 1 \Omega \cdot \text{cm}$ 、厚さ $1 \sim 3 \mu\text{m}$ のエピタキシャル層を成長させる。

【 0 0 4 1 】

次に、図 3 及び図 4 に示すように、一方の主面の中心に円柱状ゲージ部 3 2 が形成されると共に、円柱状ゲージ部 3 2 を中心とするリング状力伝達体支持部 3 4 が形成されるように、エピタキシャル層の不用部分をエッチングにより除去する。その後、シリコン単結晶基板上面の全面に、 SiO_2 膜 3 6 を形成する。エピタキシャル層の厚さが $1 \sim 3 \mu\text{m}$ であるので、円柱状ゲージ部 3 2 及びリング状力伝達体支持部 3 4 の高さは、 $1 \sim 3 \mu\text{m}$ 程度である。

【 0 0 4 2 】

円柱状ゲージ部 3 2 の上面に形成された SiO_2 膜は、ウエットエッチングによりコンタクトホールが形成され、 Al スパッタと反応性イオンエッチングによりこのコンタクトホールを介してゲージ部 3 2 とオーミック接触した第 1 の電極 3 8 が形成されている。

【 0 0 4 3 】

また、シリコン単結晶基板の下面には、全面にわたって第 2 の電極 4 0 が形成されている。

【0044】

これによって、第1の電極38と第2の電極40とは対向して形成され、第1の電極38と第2の電極40との間に電圧を印加したときに、電流が第1の電極38から第2の電極40へ流れるか、または第2の電極40から第1の電極38へ流れる電流経路が形成される。この電流経路は、シリコン単結晶基板の厚み方向を向いており、例えば、p型シリコン単結晶基板の場合で、電流が第1の電極38から第2の電極40へ流れる電流経路の場合には、図4に示すように $\langle 110 \rangle$ 方向、n型シリコン単結晶基板の場合には図5に示すように $\langle 100 \rangle$ 方向に形成される。

【0045】

第1の電極及び第2の電極の材料としては、オーミック接触が得られる材料であれば良く、上記で説明したAl、またはAl合金を使用することができるが、材料強度の面からはW、Ni、Ti、Cr等のいずれかが望ましく、電極の最表面は、酸化され難い金属材料、例えばAuでコーティングするのが好ましい。

【0046】

ゲージ部32の形状は、ゲージ部の目的とする抵抗値により決定される。ゲージ部の抵抗値は、下記の式で表されるので、例えば、汎用的に使用されている歪ゲージのゲージ抵抗 ($120\Omega \sim 1k\Omega$) を用いると、例えば、円柱状ゲージ部の比抵抗を $0.1\Omega \cdot \text{cm}$ 、ゲージ高さを $3\mu\text{m}$ 、円柱状ゲージ部の直径を $5\mu\text{m}$ とすれば、ゲージ抵抗値として約 160Ω が得られる。

【0047】

ゲージ部の抵抗が比較的高いエピタキシャル層 (例えば、 1Ω レベル) を用いる場合は、第1の電極とのオーミック接触が得られ難いため、この場合には、例えばイオン注入技術によりゲージ部表面に浅い高濃度層を形成すればよい。

【0048】

ゲージ部の抵抗値 = ゲージ部の比抵抗 (エピタキシャル層濃度)
× ゲージ厚さ ÷ ゲージ部の表面積

なお、円柱状ゲージ部の直径及び高さの上下限値は、圧力作用下でのゲージ部の破壊耐久性及び出力感度により決定される。

【0049】

また、上記ではリング状の力伝達体支持部について説明したが、ゲージ部の周変に配置する力伝達支持部は、ゲージの出力感度及び破壊耐久性に影響を与えないような形状であればよく、形状については特に限定されず、四角形や五角形等の多角形状に形成してもよい。

【0050】

次に、接合レス型力検知素子の検知素子部の変形例を図6～図8を参照して説明する。この変形例は、リング状力伝達体支持部に代えて、複数の円柱状力伝達体支持部を円周上に等間隔に配置したものである。このため、図6～図8において、図3～図5と対応する部分には同一符号を付して説明を省略する。

【0051】

この変形例では、図6、図7に示すように、一方の主面の中心に形成された円柱状ゲージ部32を中心とする円周上に等間隔に複数（例えば、4個）の円柱状力伝達体支持部35が形成されるように、エピタキシャル層の不用部分がエッチングにより除去されている。この力伝達体支持部34の高さは、円柱状ゲージ部32と同様に1～3 μ m程度である。

【0052】

なお、図8は、n型シリコン単結晶基板を用い、電流経路を<100>方向に形成した例を示すものである。また、複数の力伝達体支持部の配置位置及び各力伝達体支持部の形状は、ゲージの出力感度及び破壊耐久性に影響を与えないような配置及び形状であればよく、特に限定されない。この変形例においても、電流経路における電流を流す方向は、第1の電極から第2の電極の方向でもよく、逆に、第2の電極から第1の電極の方向でもよい。

【0053】

上記では、ゲージ部32形成側に、力伝達体22を配置する例について説明したが、図2（2）に示すように検知素子部の上下を反転させて、第2の電極側に力伝達体22を配置するようにしてもよい。この場合においても、電流経路における電流を流す方向は、第1の電極から第2の電極の方向でもよく、逆に、第2の電極から第1の電極の方向でもよい。

【0054】

次に、図9、図10を参照して、接合型力検知素子の検知素子部の第1の実施の形態を説明する。この検知素子部には、第1の半導体基板である第1のシリコン単結晶基板50と第2の半導体基板である第2のシリコン単結晶基板60とが設けられている。

【0055】

第1のシリコン単結晶基板50の一方の主面には、主面全面を覆うように第1の電極56が形成されている。なお、この第1のシリコン単結晶基板50には、ゲージ部は設けられていない。

【0056】

第2のシリコン単結晶基板60の一方の主面の中心には、円柱状のゲージ部62と、ゲージ部62を中心とするリング状ゲージ部64とが形成されている。これらのゲージ部は、上記で説明したようにエピタキシャル成長とエッチングにより形成することができる。また、第2のシリコン単結晶基板60の他方の主面には、主面全面を覆うように第2の電極66が形成されている。第1の電極及び第2の電極の材料としては、上記で説明した材料を使用することができる。

【0057】

なお、第1のシリコン単結晶基板の他方の主面側及び第2のシリコン単結晶基板のゲージ部形成側は、接合レス型力検知素子のシリコン単結晶基板と異なり、 SiO_2 膜は形成されていないので、円柱状のゲージ部及びリング状ゲージ部はSi単結晶で形成されている。

【0058】

第1のシリコン単結晶基板50と第2のシリコン単結晶基板60とは、Si単結晶のゲージ部同士を接触させた状態で加熱及び加圧して接合するダイレクトボンディング法によって接合され、図10に示す検知素子部が構成される。

【0059】

この検知素子部の第1の電極と第2の電極間との間に電圧を印加すると、図10に示すように、接合されたシリコン単結晶基板の中心部のゲージ部と周辺部のゲージ部とに、これらのゲージ部を基板の厚み方向に流れる電流経路が形成され

る。図では、電流経路に第1の電極から第2の電極方向に電流が流れるように電圧を印加したが、電流経路に第2の電極から第1の電極方向に電流が流れるように電圧を印加してもよい。

【0060】

また、図10では、ゲージ部が形成されたシリコン単結晶基板の上にゲージ部が形成されていないシリコン単結晶基板を配置する例について説明したが、図11に示すように、ゲージ部が形成されていないシリコン単結晶基板の上にゲージ部が形成されたシリコン単結晶基板を配置するようにしてもよい。この場合においても、電流経路における電流を流す方向は、第1の電極から第2の電極の方向でもよく、逆に、第2の電極から第1の電極の方向でもよい。

【0061】

また、半導体基板としては、上記で説明したように、(110)面を主面とするp型シリコン単結晶基板、または(100)面を主面とするn型シリコン単結晶基板を用いることができる。

【0062】

この接合型力検知素子の検知素子部の第1の実施の形態によれば、一対のシリコン単結晶基板の一方にのみゲージ部を形成し、このゲージ部に対向する他方のシリコン単結晶基板の主面には何も形成していないので、一対のシリコン単結晶基板をダイレクトボンディング法によって接合する際の位置決めを容易に行なうことができる。

【0063】

次に、図12、及び図13を参照して、接合型力検知素子の検知素子部の第2の実施の形態を説明する。この検知素子部の第2の実施の形態は、第1の半導体基板である第1のシリコン単結晶基板50と第2の半導体基板である第2のシリコン単結晶基板60との両方に円柱状のゲージ部及びリング状ゲージ部を設けたものである。

【0064】

図に示すように、第1のシリコン単結晶基板50の一方の主面の中心には、円柱状のゲージ部52と、ゲージ部52を中心とするリング状ゲージ部54とが形

成されている。これらのゲージ部は、上記で説明したようにエピタキシャル成長とエッチングにより形成することができる。また、第1の半導体基板50の他方の主面には、主面全面を覆うように第1の電極56が形成されている。

【0065】

第2のシリコン単結晶基板60の一方の主面の中心には、円柱状のゲージ部62と、ゲージ部62を中心とするリング状ゲージ部64とが形成されている。また、第2のシリコン単結晶基板60の他方の主面には、主面全面を覆うように第2の電極66が形成されている。第1の電極及び第2の電極の材料としては、上記で説明した材料を使用することができる。第1の電極及び第2の電極の材料は、以下で説明する実施の形態及び変形例においても同様である。

【0066】

なお、第1のシリコン単結晶基板及び第2のシリコン単結晶基板のゲージ部形成側は、上記で説明したように、接合レス型力検知素子のシリコン単結晶基板と異なり、 SiO_2 膜は形成されていないので、円柱状のゲージ部及びリング状ゲージ部は Si 単結晶で形成されている。

【0067】

第1のシリコン単結晶基板50と第2のシリコン単結晶基板60とは、 Si 単結晶のゲージ部同士を接触させた状態で加熱及び加圧して接合するダイレクトボンディング法によって接合され、図13に示す検知素子部が構成される。

【0068】

この検知素子部の第1の電極と第2の電極間との間に電圧を印加すると、図13に示すように、接合されたシリコン単結晶基板の中心部のゲージ部と周辺部のゲージ部とに、これらのゲージ部を基板の厚み方向に流れる電流経路が形成される。図では、電流経路に第1の電極から第2の電極方向に電流が流れるように電圧を印加したが、電流経路に第2の電極から第1の電極方向に電流が流れるように電圧を印加してもよい。

【0069】

また、半導体基板としては、上記で説明したように、(110)面を主面とするp型シリコン単結晶基板、または(100)面を主面とするn型シリコン単結

晶基板を用いることができる。

【0070】

この接合型力検知素子の検知素子部の第2の実施の形態によれば、一对のシリコン単結晶基板の両方にゲージ部を形成し、このゲージ部同士を接合し、ゲージ部を直列接続したので、ゲージ部の抵抗が高くなり、これによって精度良く力を検出することができる。

【0071】

次に、図14、及び図15を参照して、接合型力検知素子の検知素子部の第3の実施の形態を説明する。この検知素子部の第3の実施の形態は、上記の実施の形態で説明した一对の対向電極の一方の電極をシリコン単結晶基板の側面に形成した側面電極に変更したものである。

【0072】

第2のシリコン単結晶基板60の上に配置された第1のシリコン単結晶基板50の対向する側面の各々には、一对の第1の電極（側面電極）56が形成されている。なお、この第1の電極56は、第1のシリコン単結晶基板50の全周にわたって形成してもよい。第2のシリコン単結晶基板60は、上記の図10で説明したのと同様の構成であるので対応する部分に同一符号を付して説明を省略する。

【0073】

この検知素子部は、図15に示すように、素子固定部16Cに載置され、力検知素子の検知素子部20が第2の電極側で素子固定部16Cに固定されている。

【0074】

図15に示すように、素子固定部16Cの外周を被覆するように、ハーメチック端子の絶縁体16Aが形成されており、この絶縁体16Aには、この絶縁体16Aを中央部に設けられた棒状端子16Bの長さ方向に貫通する一对の周辺端子82が支持されている。周辺端子82の先端部は、相互に接近する方向に屈曲されている。

【0075】

周辺端子82の先端部を屈曲させて周辺端子82の先端部の間隔を検知素子部

の外形寸法より短くすることにより、検知素子部を素子固定部 1 6 C に載置したときに、検知素子部は、周辺端子 8 2 の屈曲部によって挟持されて固定される。なお、周辺端子が絶縁体を貫通しているので、周辺端子と中央の棒状端子とは電氣的に絶縁されている。

【 0 0 7 6 】

上記のように構成された力検知素子の周辺電極 8 2 と棒状電極 1 6 B との間に電圧を印加すると、図 1 5 に示すように、接合されたシリコン単結晶基板の中心部のゲージ部と周辺部のゲージ部とに、これらのゲージ部を基板の厚み方向に流れる電流経路が形成される。図では、電流経路に第 1 の電極から第 2 の電極方向に電流が流れるように電圧を印加したが、電流経路に第 2 の電極から第 1 の電極方向に電流が流れるように電圧を印加してもよい。

【 0 0 7 7 】

本実施の形態では、検知素子部を挟持するために、周辺電極としては対向配置された一对の電極が最低必要になるが、電圧を印加する周辺電極は、最低 1 本でよい。

【 0 0 7 8 】

上記では、ゲージ部が形成されたシリコン単結晶基板の上にゲージ部が形成されていないシリコン単結晶基板を配置する例について説明したが、図 1 6 に示すように、ゲージ部が形成されていないシリコン単結晶基板 5 0 の上にゲージ部が形成されたシリコン単結晶基板 6 0 を配置するようにしてもよい。

【 0 0 7 9 】

このように構成した場合には、第 1 の電極（側面電極）は、ゲージ部が形成されたシリコン単結晶基板の対向する側面、または側面全周にわたって形成され、第 2 の電極は、ゲージ部が形成されていないシリコン単結晶基板 5 0 の素子固定部 1 6 C 側主面に形成される。この場合においても、電流経路における電流を流す方向は、第 1 の電極から第 2 の電極の方向でもよく、逆に、第 2 の電極から第 1 の電極の方向でもよい。

【 0 0 8 0 】

なお、側面電極を側面全周にわたって形成した場合には、検知素子部の向きに

よらず側面電極が周辺電極の屈曲部に当接するので、検知素子部の組付が容易になる。

【0081】

次に、接合型力検知素子の検知素子部の第1の変形例を図17を参照して説明する。この変形例は、荷重印加時の応力バランスを考慮すると、ゲージ部（検出部）は中心部のみに設けるのが望ましいことから、pn分離の原理を利用して図10の電流経路が中心部にのみに形成されるようにしたものである（pn分離構造）。なお、図17において図10と対応する部分には同一符号を付して説明を省略する。

【0082】

この変形例は、(100)面を主面とするn型シリコン単結晶基板を用い、リング状ゲージ部の所定深さまでの領域にp型の不純物層65を形成したものである。このようにp型の不純物層を形成することにより、リング状ゲージ部はゲージとして機能しなくなり、上側に位置するシリコン単結晶基板を支持する支持部としてのみ機能する。従って、この場合には、接合レス型力検出素子の力伝達体と力検知素子部とを接合したのと同様の構成になる。

【0083】

なお、この変形例において(110)面を主面とするp型シリコン単結晶基板を用いる場合には、リング状ゲージ部の所定深さまでの領域にn型の不純物層を形成すればよい。

【0084】

次に、接合型力検知素子の検知素子部の第2の変形例を図18に示す。この変形例は、図13に示した検知素子部のリング状ゲージ部に、図17に示した第1の変形例と同様に、(100)面を主面とするn型シリコン単結晶基板に形成されたリング状ゲージ部の一方に、p型の不純物層65を形成したものである。この変形例においても(110)面を主面とするp型シリコン単結晶基板を用い、リング状ゲージ部の所定深さまでの領域にn型の不純物層を形成してもよい。

【0085】

次に、電流経路を中心部にのみに形成した検知素子部の第3の変形例について

図19を参照して説明する。この変形例は、2つの半導体基板（シリコン単結晶基板）のいずれか一方（本変形例では下側）をSOI（Silicon on Insulator）で構成することにより、電流経路を中心部にのみ制限したものである。

【0086】

図19に示すように、この変形例において上側に位置するシリコン単結晶基板は、図11と同一の構成である。下側に位置するSOI80は、SiO₂膜で形成された酸化層70の上に薄いシリコン薄膜72を形成した基板であるので、シリコン薄膜72の上側の半導体基板に形成された円柱状ゲージ部52及びリング状ゲージ部54に対応する領域以外の部分をエッチング等によって除去し、中心部領域72A及び周辺部領域72Bを残存させる。

【0087】

また、酸化層70における中心部領域72Aの近傍の領域に孔を穿設し、導電性の引出し線74によって中心部領域72AとSOIの酸化層の下側領域とをオーミック接触させる。そして、下側に位置するSOI80と上側に位置するシリコン単結晶基板50とを上記で説明したのと同様にダイレクトボンディング法によって接合する。

【0088】

これによって、電流経路は、上側シリコン単結晶基板に形成された円柱状ゲージ部、SOIの中心部領域72A、及び引出し線74を含む中心部にのみ制限される。

【0089】

次に、電流経路を中心部にのみに形成した検知素子部の第4の変形例について図20を参照して説明する。この変形例は、図17に示した第1の変形例のp型領域に代えて、リング状ゲージ部にSiO₂膜等の絶縁膜67を形成し、電流経路を中心部にのみ制限するようにしたものである（絶縁膜分離構造）。図20では、図10の検知素子部に絶縁膜67を形成した例について説明したが、図13に示す検知素子部に絶縁膜67を形成するようにしてもよい。

【0090】

上記で説明した電流経路を中央部に制限する p n 分離構造及び絶縁膜分離構造の場合、ウエハ状態からチップ状態にダイシングカットする際、カットした面にマイクロクラックが発生する場合がある。このマイクロクラックが発生すると、不純物形成部（上記で説明した p 型領域、または n 型領域）や絶縁膜形成部でリーク電流が発生し易くなる。この問題を解消するため、図 21 の第 5 の変形例では不純物形成部 65 の外周 65S をダイシングカット部 C より内側に配置している。また、図 22 の第 6 の変形例では絶縁膜形成部 67 の外周 67S をダイシングカット部 C より内側に配置している。これによって、不純物形成部や絶縁膜形成部がダイシングカットされることがないので、これらの部分にマイクロクラックが発生することがない。

【0091】

また、不純物形成部や絶縁膜形成部の側面部は、大気中の可動イオン等の付着により延面リークが発生し易い。この対策として、図 23 に示す第 7 の変形例では、p n 分離構造の場合において、不純物形成部の側面に絶縁ワニス等を塗布することにより絶縁ワニス等で形成された外気遮断層 84 を形成している。

【0092】

また、図 24 に示す第 8 の変形例では、絶縁膜分離構造の場合において、絶縁膜形成部 67 に対面する領域で、かつシリコン単結晶基板表面のゲージ部と接触する領域を除いた領域にも SiO₂膜等の絶縁膜 86 を形成したものである。このように、絶縁膜 86 を形成することにより、延面距離を長くすることができ、リーク低減を図ることができる。

【0093】

なお、上記で説明した第 1 の変形例から第 8 の変形例では、検知素子部を上下反転して使用することができ、また、一対の対向電極の一方を側面電極に変更してもよく、更に電流経路に第 1 の電極から第 2 の電極方向に電流が流れるように電圧を印加してもよく、第 2 の電極から第 1 の電極方向に電流が流れるように電圧を印加してもよい。

【0094】

上記の実施の形態及び変形例では、シリコン単結晶基板表面にゲージ部を形成

する例について説明したが、以下では、シリコン単結晶基板自体でゲージ部を形成することにより、より構造を簡単にし実施の形態について説明する。

【0095】

図25は、本発明の第4の実施の形態を示すものであり、矩形状に切り出されたシリコン単結晶基板自体で形成されたゲージ部90と、ゲージ部90の一方の主面に形成された第1の電極92と、ゲージ部90の他方の主面に第1の電極と対向するように形成された第2の電極94とで構成されている。

【0096】

シリコン単結晶基板としては、(100)面を主面とするn型シリコン単結晶基板、(110)面を主面とするp型シリコン単結晶基板、または(111)面を主面とするp型シリコン単結晶基板を用いることができる。

【0097】

本実施の形態では、電極が形成された主面が応力作用面になり、ゲージ部90は、力が作用したときにゲージ部90の厚み方向、すなわちシリコン単結晶基板の厚み方向に押圧される。本実施の形態において、第1の電極及び第2の電極間に電圧を印加すると、ゲージ部の厚み方向に電流経路が形成される。この状態で、ゲージ部に力が作用するとゲージ部の抵抗が変化し、流れる電流が変化するのでこれによって力を検出することができる。

【0098】

第4の実施の形態では、主面の略全面に亘って電極が形成されているので、ゲージ抵抗が小さくて出力感度が低くなる可能性がある。次に、第4の実施の形態の電流経路の領域を制限することにより、ゲージ抵抗の高抵抗化を図った第1の変形例を図26(1)、(2)を参照して説明する。この第1の変形例は、第1の電極92及び第2の電極94の各々をコンタクトホール98が穿設されたSiO₂膜等の絶縁膜96を介して主面に形成し、第1の電極92及び第2の電極94の各々をコンタクトホール98を介してゲージ部90と電氣的に接続したものである。このコンタクトホール98は、図26(2)に示すように、電極92、94の中心に対応する部位に穿設されている。

【0099】

第1の変形例では、ゲージ部のコンタクトホールに挟まれた部分に電流経路（主として電流が流れる領域）100が形成されるので、電流経路はゲージ部の一部分に形成されるように制限される。このように、電流経路が制限されることにより、ゲージ抵抗を高抵抗にでき、扱い易い抵抗値を得ることができる。

【0100】

なお、第1の変形例では、第1の電極及び第2の電極の各々をコンタクトホールを介してゲージ部と電氣的に接続したが、第1の電極及び第2の電極のいずれか一方をコンタクトホールを介してゲージ部と電氣的に接続しても、電流経路を制限することができるので、第1の電極及び第2の電極の少なくとも一方をコンタクトホールを介してゲージ部と電氣的に接続するようにすればよい。

【0101】

以下、電流経路がゲージ部の一部分に形成されるように制限する第2～4の変形例について説明する。

【0102】

第2の変形例は、図27（1）、（2）に示すように、ゲージ部90の第1の電極92が形成された側に平行な複数（図では2本）の溝102を形成することにより、第1の電極92を複数（図では3個）の領域に分割したものである。第2の変形例では、第1の電極92の分割された複数の領域と第2の電極94におけるこの領域の各々に対応する部位とで挟まれた複数（図では3つ）の領域に電流経路が形成される。したがって、第2の変形例の電流経路が形成される領域は第4の実施の形態と比較して狭い領域（図では第4の実施の形態の3／5程度の領域）に制限される。

【0103】

なお、第2の変形例では、第1の電極を複数に分割した例について説明したが、以下で説明するように、ゲージ部の溝で挟まれた中央の部分の上面にのみに第1の電極を形成し、ゲージ部の主面の他の部分にはSiO₂膜等の絶縁膜を形成するようにしてもよい。この場合には、第4の実施の形態と比較して電流経路が形成される領域を更に狭い領域（図では第4の実施の形態の1／5程度の領域）に制限することができる。

【0104】

第3の変形例では、ゲージ部90の一方の主面に複数の溝102を形成し、溝102で挟まれた中央の部分の上面にのみ第1の電極92を形成し、ゲージ部の主面の他の部分にはSiO₂膜等の絶縁膜104を形成している。また、ゲージ部90の他方の主面に溝102と直交する方向に複数の溝106を形成し、溝106で挟まれた中央の部分の上面にのみ第2の電極94を形成し、ゲージ部の主面の他の部分にはSiO₂膜等の絶縁膜104を形成している。

【0105】

第3の変形例では、第1の電極92と第2の電極94とで挟まれた領域に電流経路が形成されるので、第4の実施の形態と比較して電流経路が形成される領域を更に狭い領域（図では第4の実施の形態の1/9程度の領域）に制限することができる。

【0106】

上記ではゲージ部の一方の主面に形成する溝とゲージ部の他方の主面に形成する溝が直交するようにしたが、溝を形成する方向は直交させる必要はなく、交差する方向に形成すればよい。

【0107】

第4の変形例は、図29に示すように、ゲージ部の両方の主面に格子状の溝を形成して、ゲージ部の両方の主面に複数の四角柱を形成し、一方の主面の中央の四角柱の上面に第1の電極92を形成し、他方の主面の中央の四角柱の上面に第2の電極94を形成したものである。他の四角柱の上面にはSiO₂膜等の絶縁膜104が形成されている。第4の変形例では、第3の変形例と同様に電流経路が形成される領域を狭い領域に制限することができるが、第4の変形例では、更に第1の電極及び第2の電極を小さくすることができる。

【0108】

なお、第4の実施の形態における各変形例の絶縁膜が形成されている部分は、力伝達ブロックの支持部としての機能も有するものである。また、電極が形成されている部分の幅や高さを調整することにより所定の抵抗値を得ることができる。さらに、上記では、側壁が鉛直面で形成されかつ底面が平面で形成され、長さ

方向と直交する面で切断した断面が矩形の直角溝を形成する例について説明したが、長さ方向と直交する面で切断した断面がV字形のV字溝を形成してもよい。また、溝の幅や間隔は不等ピッチでもよい。

【0109】

上記のように構成された燃焼圧センサは、金属製ダイアフラム12にシリンダ内圧力が作用するよう図示しないエンジンのシリンダヘッドの壁面に装着される。

【0110】

シリンダ内の圧力は、金属製ダイアフラム12、ロッド30、及び接続端子26を介して、例えば、力伝達体22または上側シリコン単結晶基板50等に伝達され、ゲージ部32（または、ゲージ部52及び54等）を電流経路の方向に押圧する。この押圧力は、シリコン単結晶基板のピエゾ抵抗係数 π_{11} によるピエゾ抵抗効果に基づく出力電圧の変化に変換される。従って、電圧の変化からシリンダ内圧力を正確に測定することができる。

【0111】

なお、上記では、(110)面を主面とするp型シリコン単結晶基板、(100)面を主面とするn型シリコン単結晶基板等を用いる例について説明したが、これらと等価な結晶面を有するシリコン単結晶基板であれば、いずれも使用することができる。

【0112】

通常、半導体回路は、(100)面またはこの面と等価な結晶面に形成される。従って、n型シリコン単結晶(100)基板を使用すれば、半導体圧力センサに増幅器や駆動回路を容易に組合せることができるため、これまで困難であった制御回路一体型センサが実現可能となる。

【0113】

上記では、ゲージ部や支持部をメサエッチング加工により形成する例について説明したが、ダイシング加工によっても形成することができる。

【0114】

メサエッチングで形成する場合は、ゲージ部や支持部の形状及び配置を任意に

決定することができるので、素子の高性能化（構造の最適化）を図ることができる。ダイシング加工の場合には、エッチングマスク等を必要とせずに容易にゲージ部、支持部、または溝を形成することができるので、製造工程を簡素化（低コスト化）することができる。

【0115】

【発明の効果】

以上説明したように第1の発明によれば、ゲージ部を半導体基板自体で形成し、半導体基板の厚み方向に対応する方向の電流経路がゲージ部に形成されるように複数の電極を設けたので、接着剤等で貼り付ける必要が無く、このため、高精度に力を検知することができる、という効果が得られる。

【0116】

また、第2の発明によれば、ゲージ部において電流経路の方向と力が作用する方向とを同じにすることによりワイヤボンディングによるゲージ出力用の配線を不用としたので、製造工程の工数を低減し、低コストで製造することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態の燃焼圧センサの断面図である。

【図2】（1）は図1の力検知素子の拡大図であり、（2）は検知素子部を上下反転して使用する場合の力検知素子の拡大図である。

【図3】燃焼圧センサに使用可能な接合レス型力検知素子の検知素子部の斜視図である。

【図4】図3の検知素子部のp型シリコン単結晶基板を用いた場合の断面図である。

【図5】図3の検知素子部のn型シリコン単結晶基板を用いた場合の断面図である。

【図6】力検知素子の検知素子部の変形例を示す斜視図である。

【図7】図6の検知素子部のp型シリコン単結晶基板を用いた場合の断面図である。

【図8】図6の検知素子部のn型シリコン単結晶基板を用いた場合の断面図

である。

【図 9】 燃焼圧センサに使用可能なゲージ無し基板とゲージ有り基板とを用いた接合型力検知素子の第 1 の実施の形態の半導体基板の斜視図である。

【図 10】 図 9 の接合型力検知素子の断面図である。

【図 11】 図 10 の接合型力検知素子の上下を反転した接合型力検知素子の断面図である。

【図 12】 燃焼圧センサに使用可能な一对のゲージ有り基板を用いた接合型力検知素子の第 2 の実施の形態の半導体基板の斜視図である。

【図 13】 図 12 の接合型力検知素子の断面図である。

【図 14】 接合型力検知素子の検知素子部の第 3 の実施の形態を示す断面図である。

【図 15】 検知素子部の第 3 の実施の形態を組み込んだ力検知素子の断面図である。

【図 16】 第 3 の実施の形態の検知素子部の上下を反転させて組み込んだ力検知素子の断面図である。

【図 17】 接合型力検知素子の検知素子部の第 1 の変形例を示す断面図である。

【図 18】 接合型力検知素子の検知素子部の第 2 の変形例を示す断面図である。

【図 19】 接合型力検知素子の検知素子部の第 3 の変形例を示す断面図である。

【図 20】 接合型力検知素子の検知素子部の第 4 の変形例を示す断面図である。

【図 21】 接合型力検知素子の検知素子部の第 5 の変形例を示す断面図である。

【図 22】 接合型力検知素子の検知素子部の第 6 の変形例を示す断面図である。

【図 23】 接合型力検知素子の検知素子部の第 7 の変形例を示す断面図である。

【図 2 4】 接合型力検知素子の検知素子部の第 8 の変形例を示す断面図である。

【図 2 5】 力検知素子の検知素子部の第 4 の実施の形態の断面図である。

【図 2 6】 (1) は第 4 の実施の形態の第 1 の変形例を示す断面図であり、
(2) は平面図である。

【図 2 7】 (1) は第 4 の実施の形態の第 2 の変形例を示す断面図であり、
(2) は斜視図である。

【図 2 8】 は第 4 の実施の形態の第 3 の変形例を示す斜視図である。

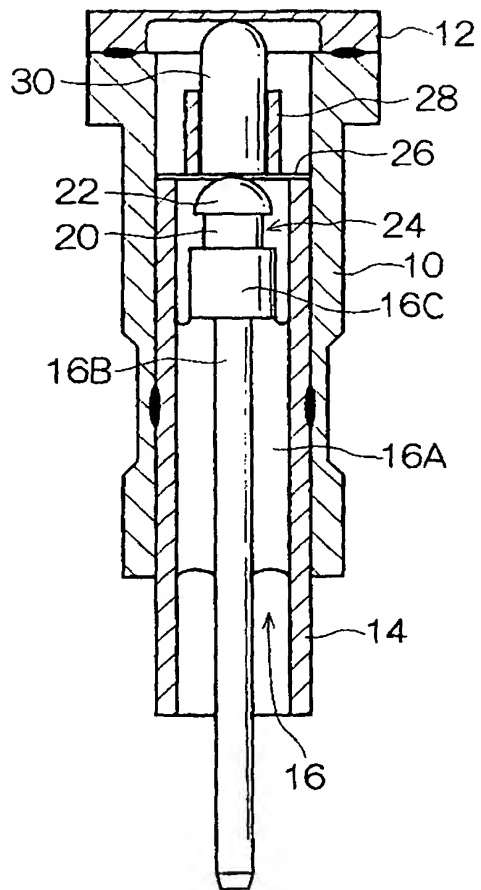
【図 2 9】 は第 4 の実施の形態の第 4 の変形例を示す斜視図である。

【符号の説明】

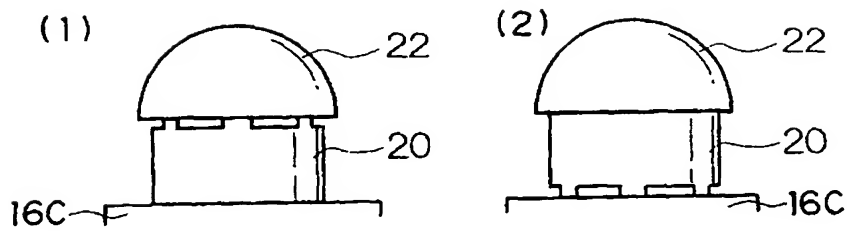
- 2 0 検知素子部
- 2 2 力伝達体
- 3 2 ゲージ部
- 3 4 力伝達体支持部

【書類名】 図面

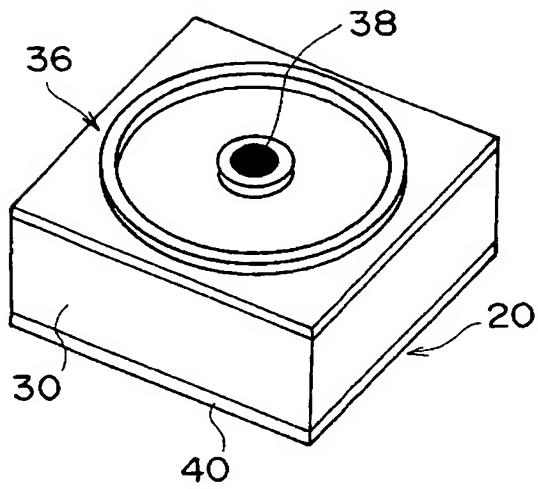
【図 1】



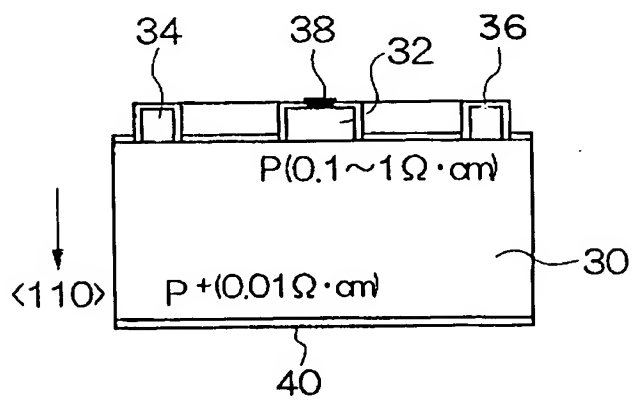
【図 2】



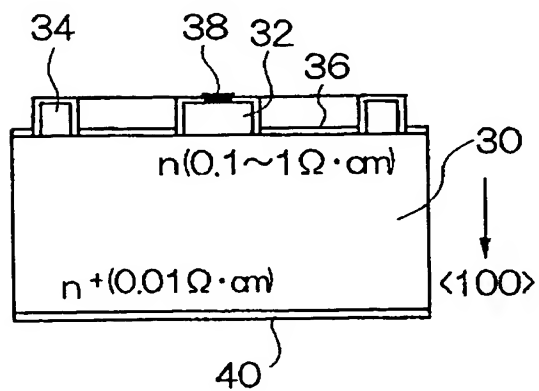
【図 3】



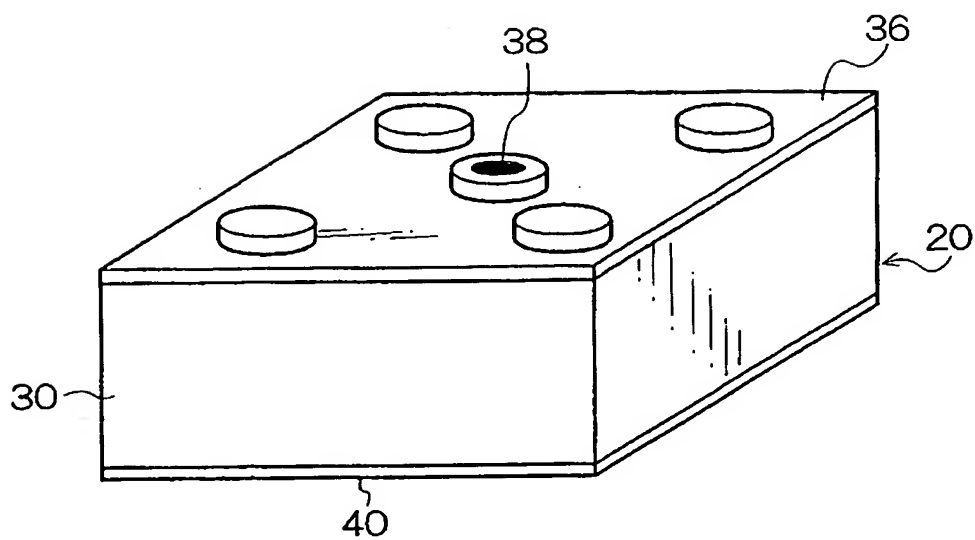
【図 4】



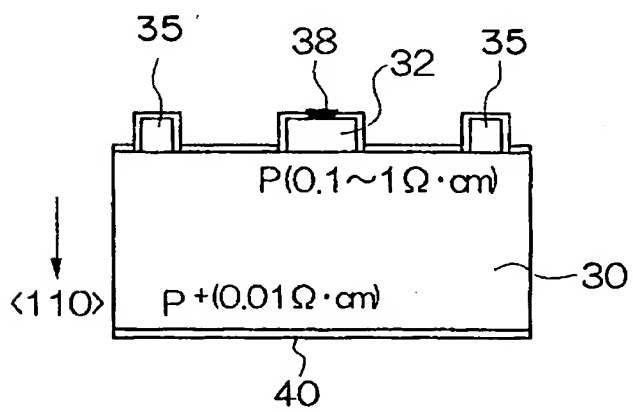
【図 5】



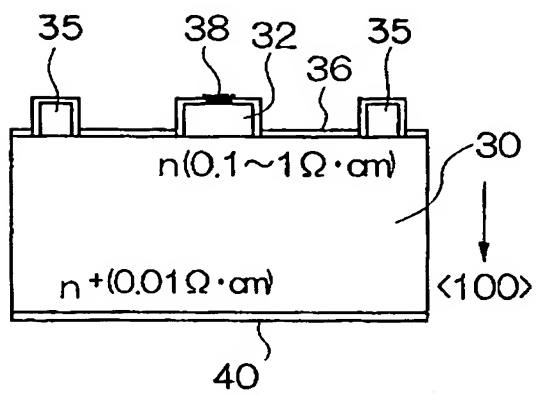
【図 6】



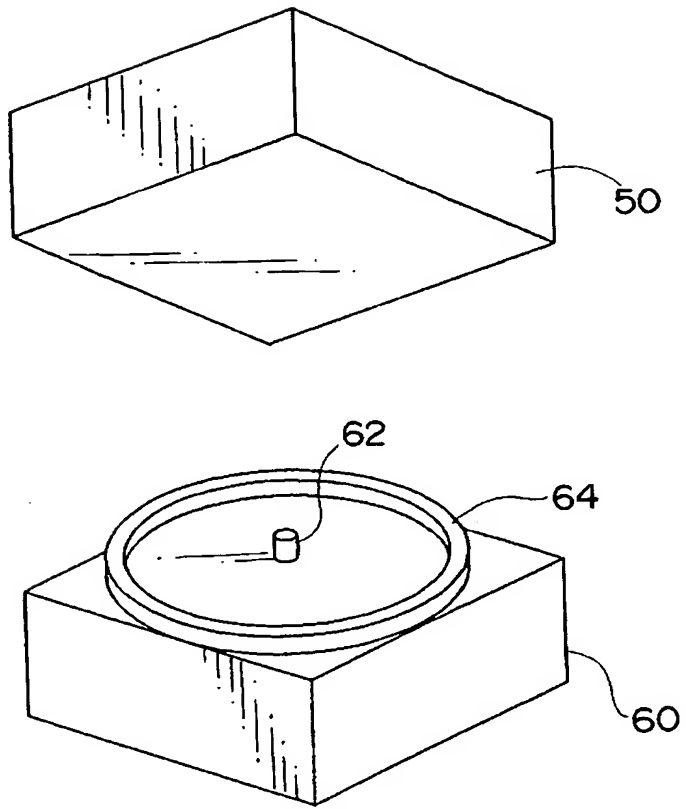
【図 7】



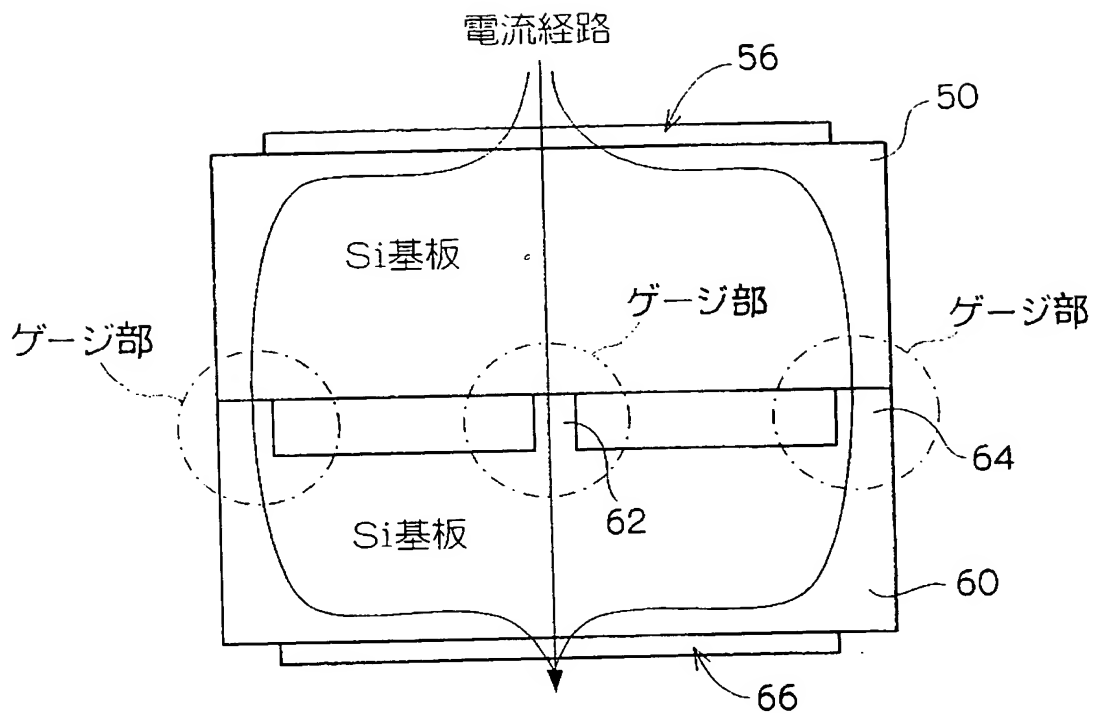
【図 8】



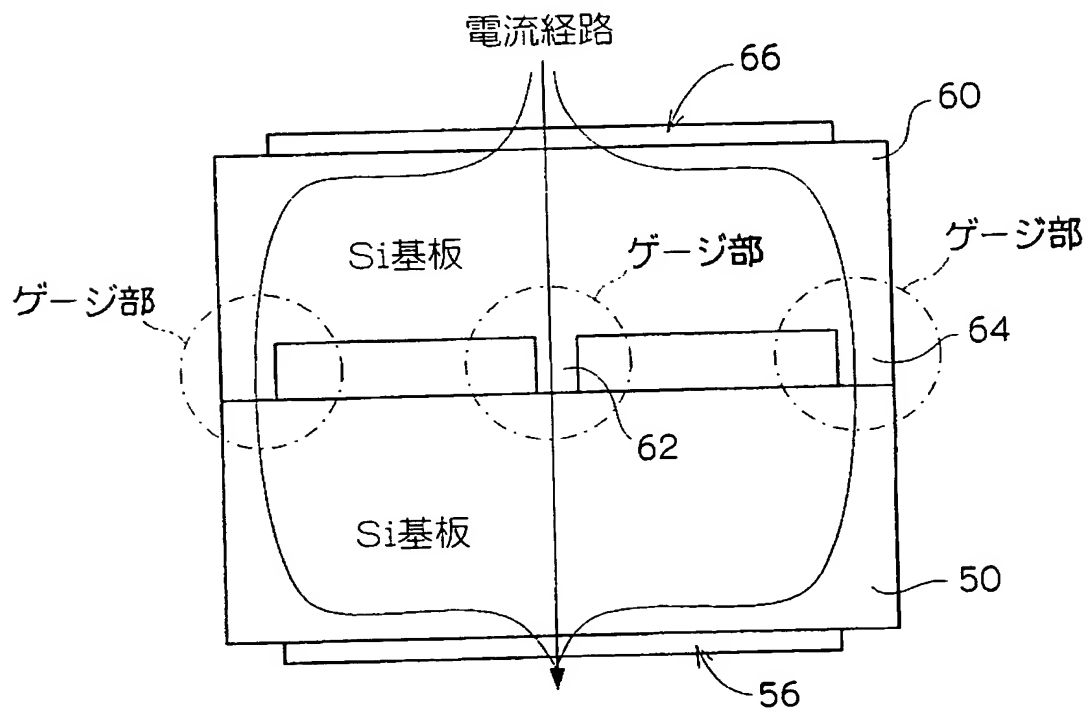
【図 9】



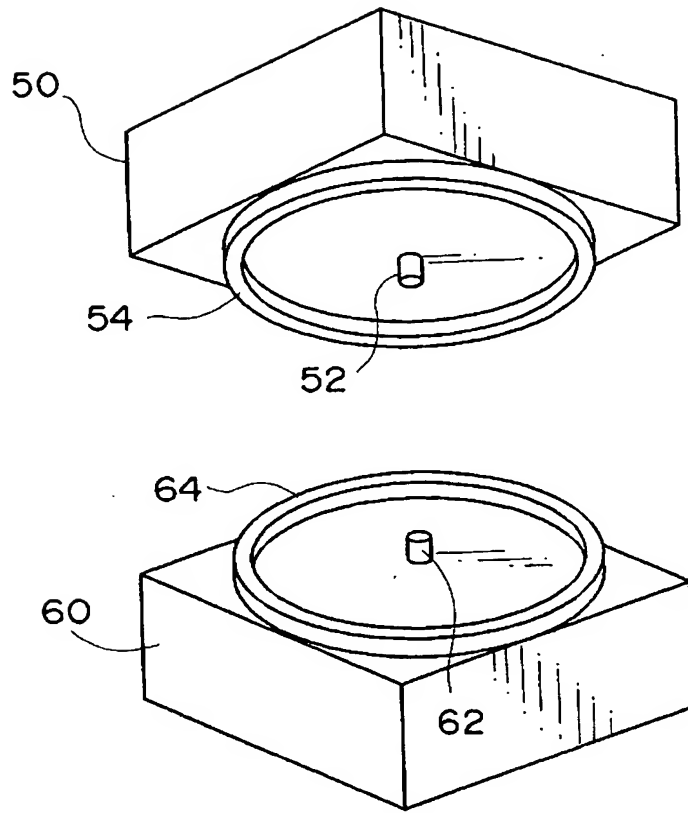
【図10】



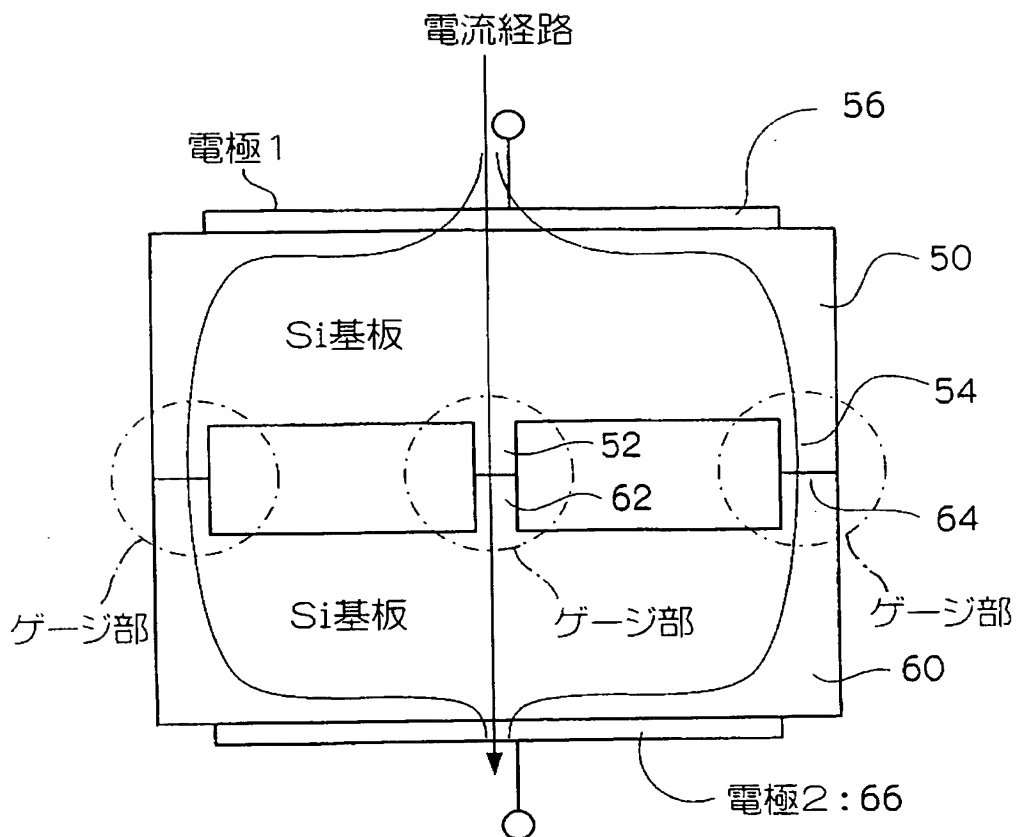
【図11】



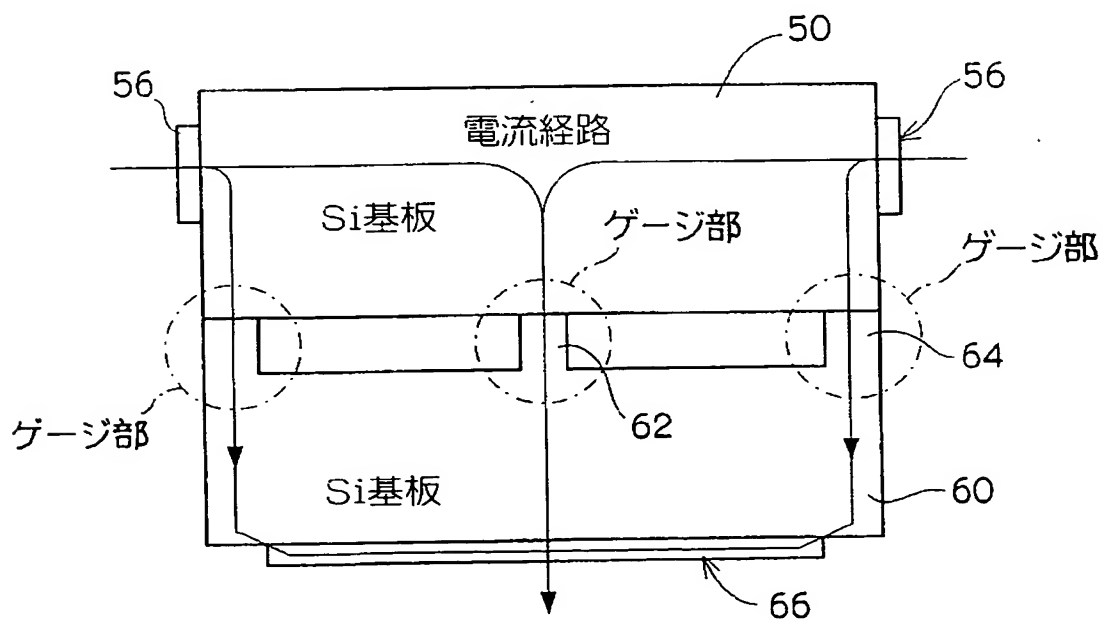
【図 12】



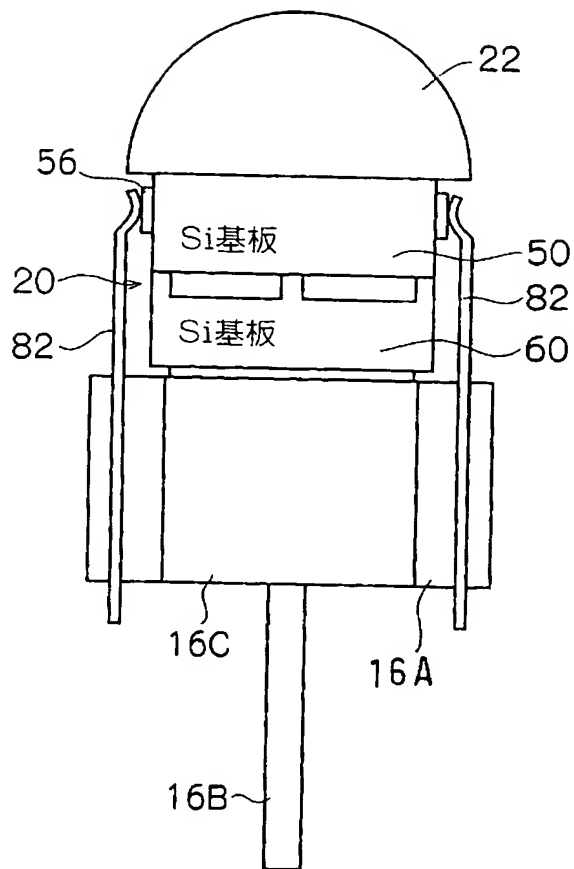
【図13】



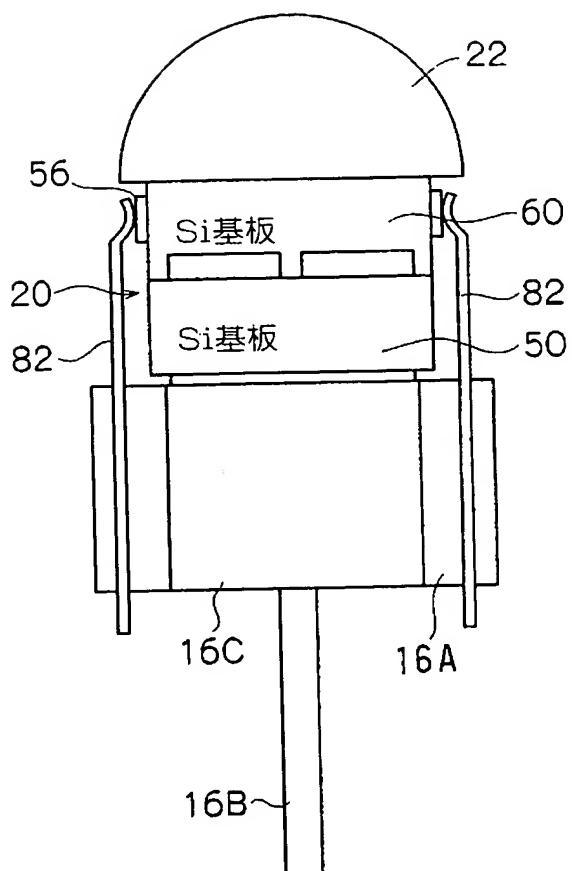
【図14】



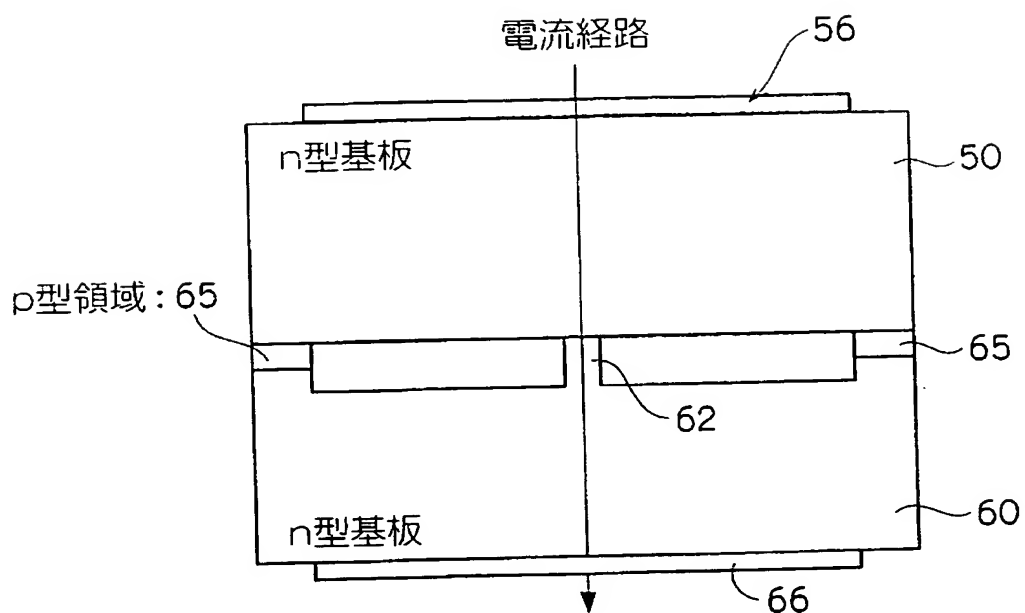
【図 15】



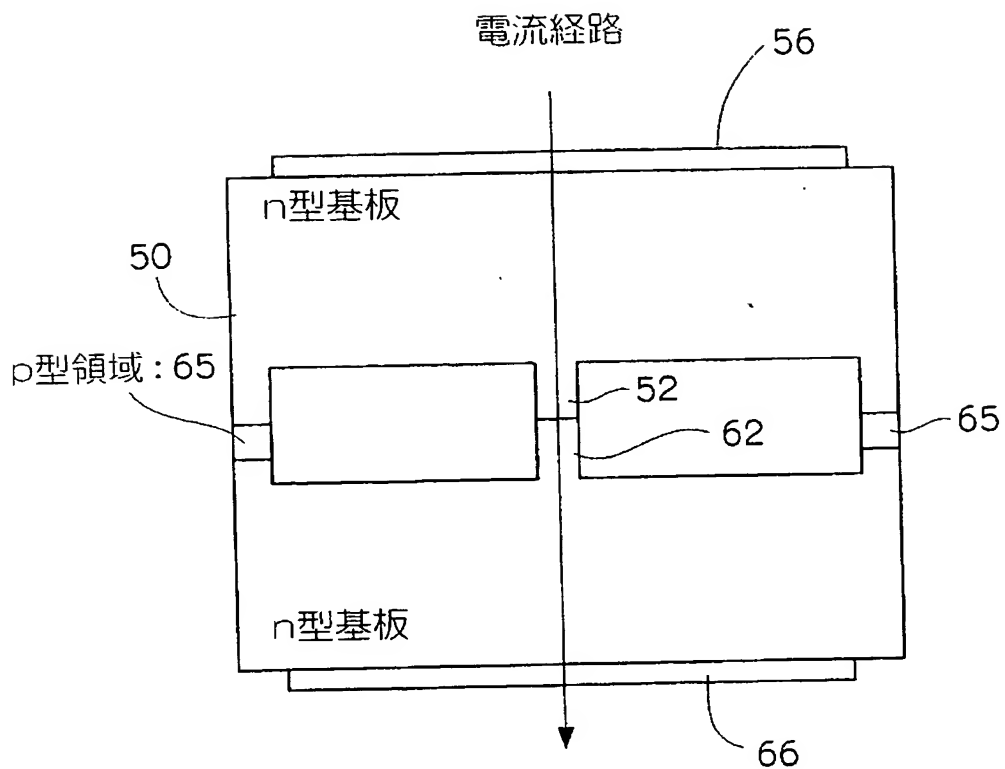
【図16】



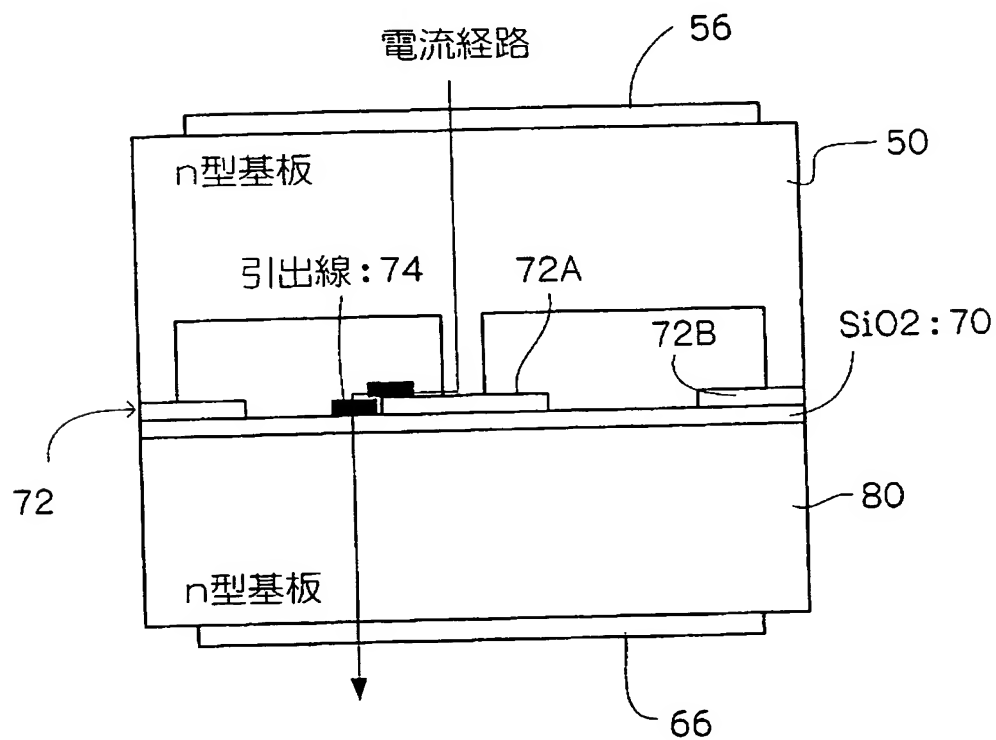
【図17】



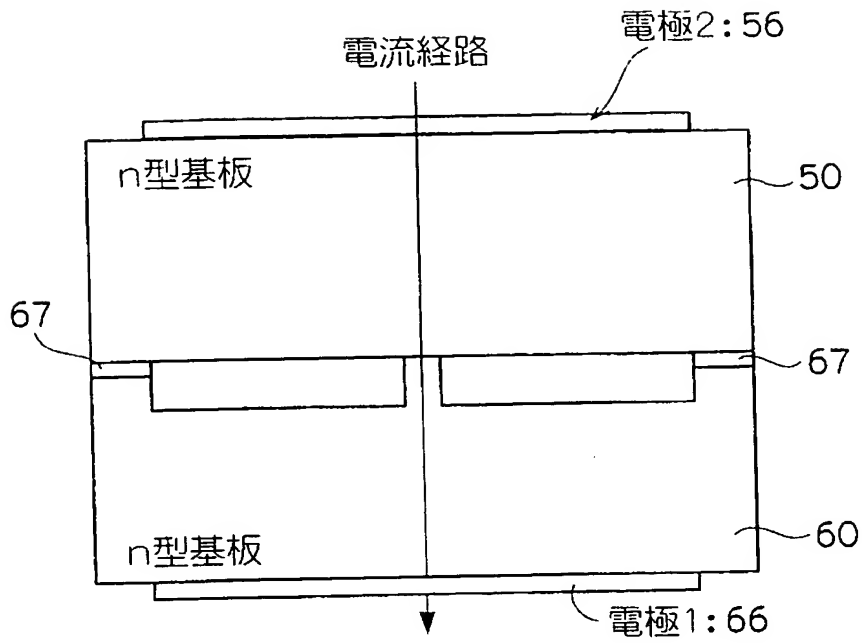
【図18】



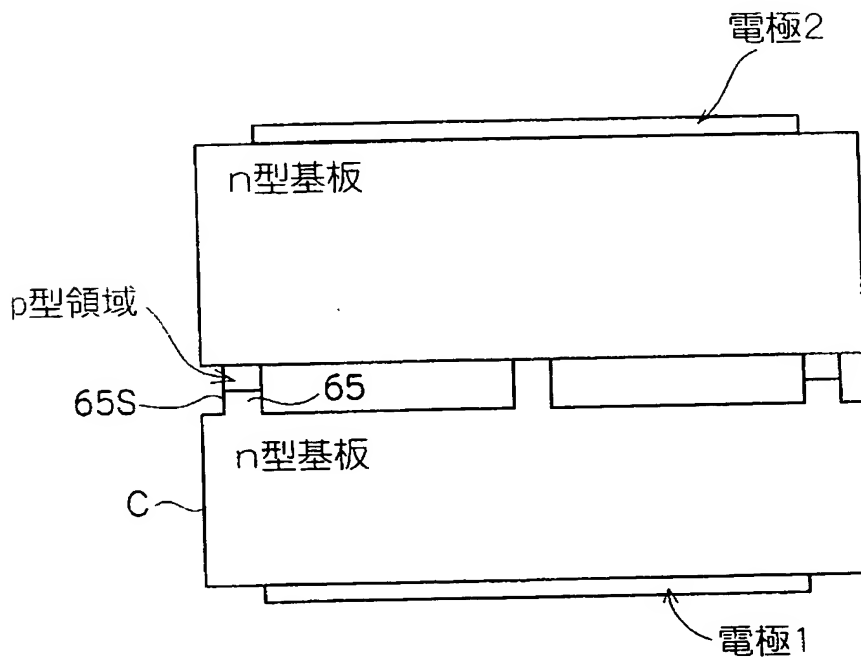
【図19】



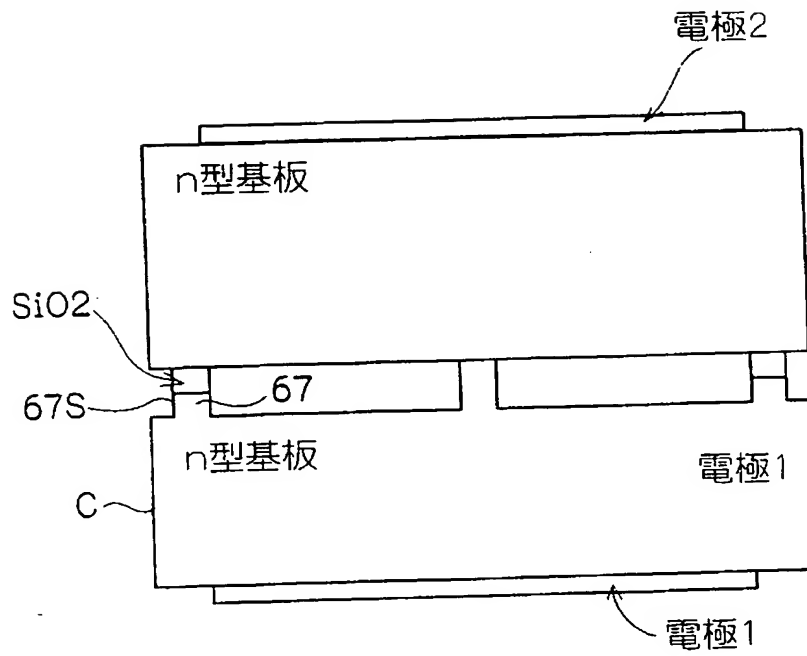
【図 20】



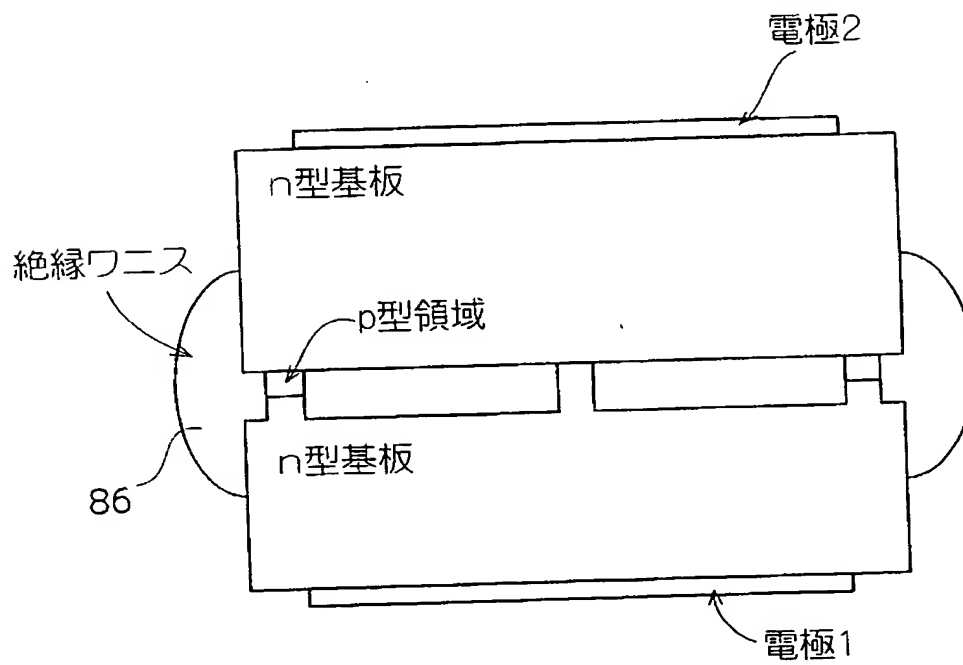
【図 21】



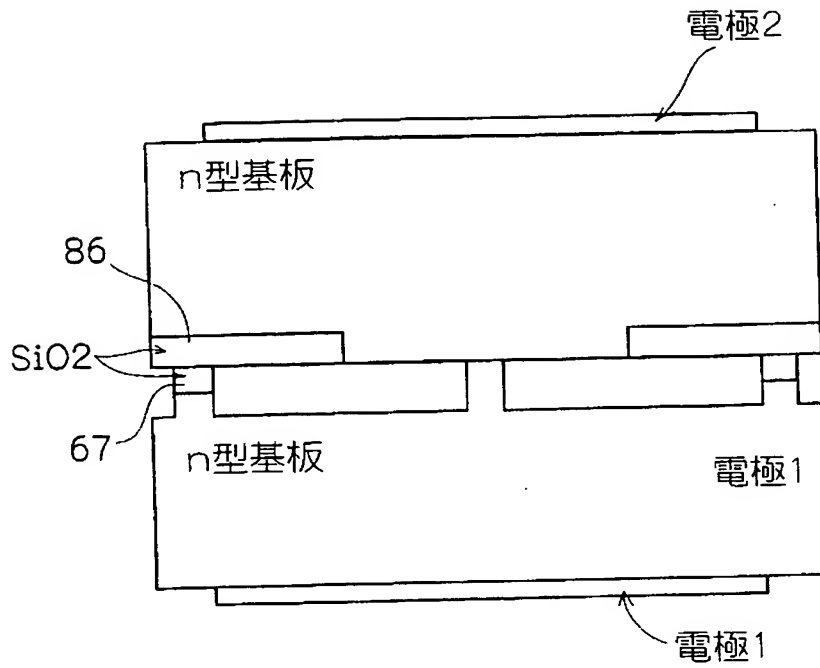
【図 2 2】



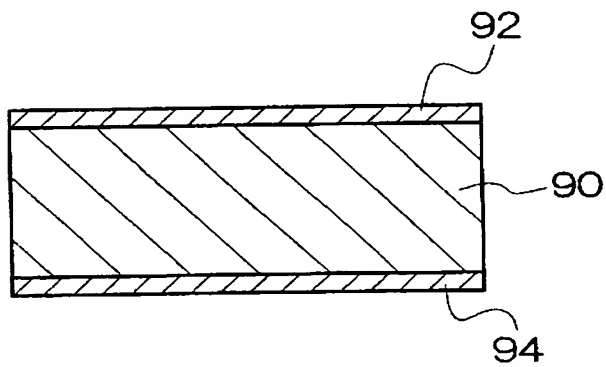
【図 2 3】



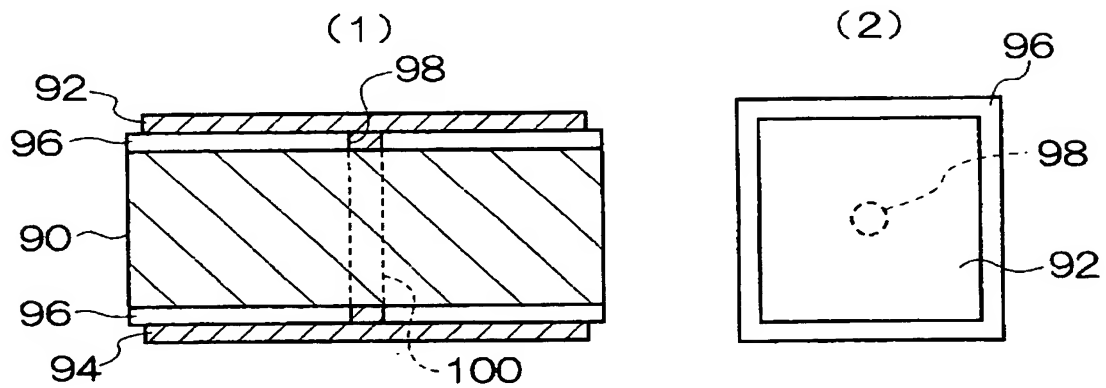
【図24】



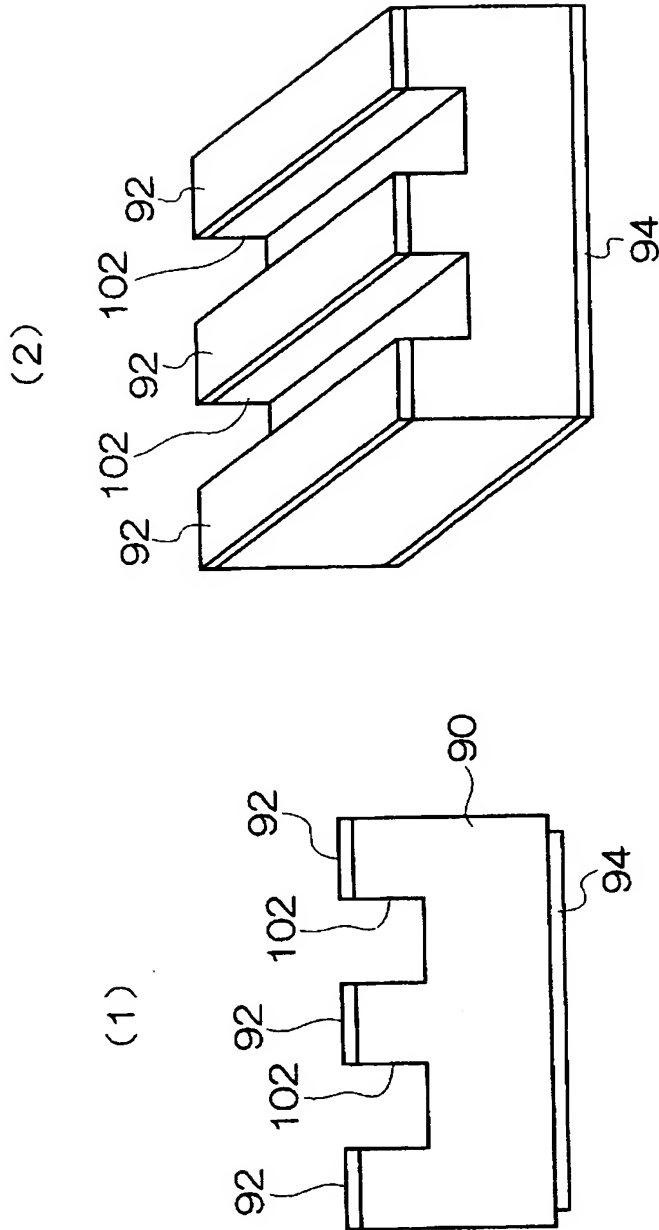
【図25】



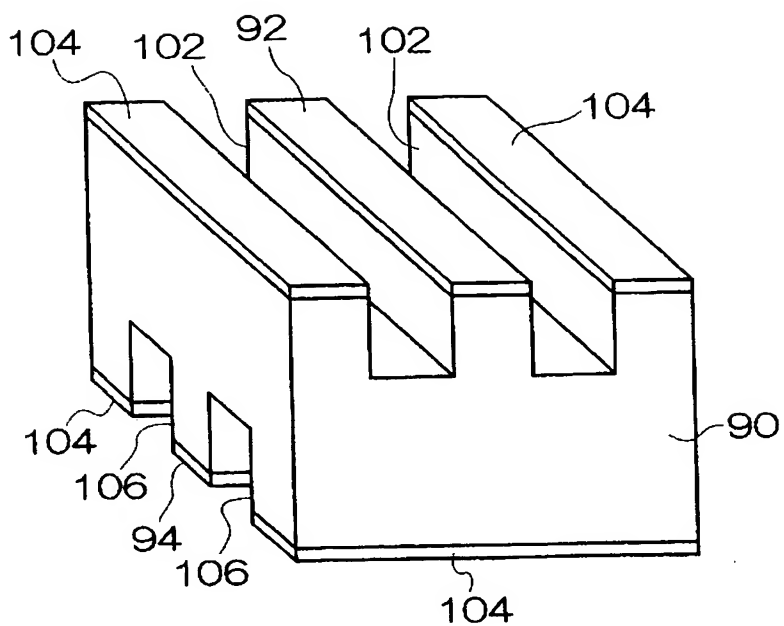
【図26】



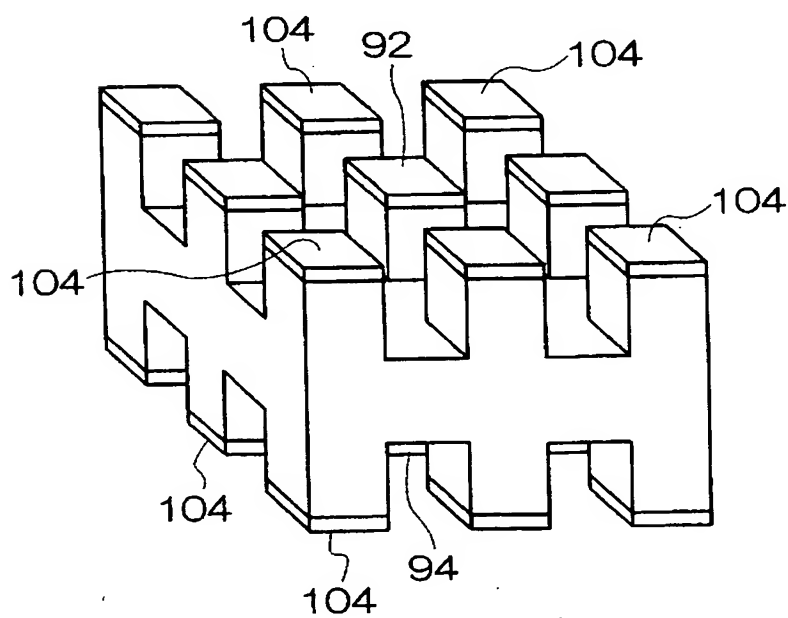
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 製造工程の工数を低減し、低コストで製造できるようにする。

【解決手段】 シリコン単結晶基板 3 0 の一方の主面にゲージ部 3 2 を形成し、ゲージ部 3 2 に電極 3 8 を設ける。シリコン単結晶基板の他方の主面に、シリコン単結晶基板の厚み方向に電流経路が形成されるように電極 3 8 と対向させて電極 4 0 を形成する。力が作用したときにゲージ部 3 2 を電流経路の方向に押圧する力伝達ブロックが設けられている。

【選択図】 図 4

特願 2 0 0 2 - 2 7 7 6 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 6 0 9]

1 . 変更年月日

1 9 9 0 年 9 月 6 日

[変更理由]

新規登録

住 所

愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1

氏 名

株式会社豊田中央研究所